

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-261017

(43)公開日 平成4年(1992)9月17日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/302	F	7353-4M		
G 02 F 1/136	5 0 0	9018-2K		
H 01 L 21/302 21/336	C	7353-4M		
		9056-4M	H 01 L 29/78 3 1 1 Y	
			審査請求 未請求 請求項の数1(全4頁) 最終頁に続く	

(21)出願番号	特願平3-20671	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成3年(1991)2月14日	(72)発明者	大谷 誠 尼崎市塚口本町8丁目1番1号 三菱電機 株式会社材料研究所内
		(72)発明者	石橋 達夫 尼崎市塚口本町8丁目1番1号 三菱電機 株式会社材料研究所内
		(72)発明者	阪本 弘和 尼崎市塚口本町8丁目1番1号 三菱電機 株式会社材料研究所内
		(74)代理人	弁理士 高田 守 (外1名) 最終頁に続く

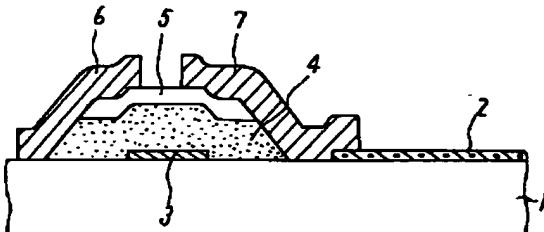
(54)【発明の名称】薄膜トランジスタアレイ基板の製造方法

(57)【要約】

【目的】 本発明は、液晶表示装置に用いられるTFTアレイ基板における電極の被覆性を改善する製造方法を提供する。

【構成】 絶縁膜とアモルファスシリコン膜とを連続エッチングする際、プラズマ状態の6弗化イオウガス、3弗化窒素ガスあるいは弗化塩化炭素ガスと流量比10~38%の酸素ガスとの混合ガスを用いたことを特徴とする。

【効果】 エッチング断面での電極の被覆性が向上し、断線を抑制することができるとともにテーパー角度を制御することができる。



1: 基板
2: 画素電極
3: ゲート電極
4: ゲート絶縁膜
5: アモルファスシリコン膜
6: ソース電極
7: ドレイン電極

1

2

【特許請求の範囲】

【請求項 1】 透明基板上に電極パターンを形成した後、絶縁膜およびアモルファスシリコン膜を積層し、これらをプラズマ状態の6 弗化イオウガス、3 弗化窒素ガスあるいは弗化塩化炭素ガスと流量比10~38%の酸素ガスとの混合ガスによってエッティングすることを特徴とした薄膜トランジスタアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えば液晶表示装置に用いられる薄膜トランジスタアレイ基板の製造方法に関するもので、特にその電極の被覆性を改善するものである。

【0002】

【従来の技術】 図3、図4は例えば特開昭62-32651号公報に示された従来の薄膜トランジスタ（以下、TFTと称す）アレイ基板を示す平面図および断面図である。図において、1はガラス等の透明絶縁物よりなる基板、2は基板1上に形成された透明導電膜からなる画素電極、3はゲート電極、4はゲート絶縁膜、5はアモルファスシリコン膜、6はソース電極、7はドレイン電極で、これらの電極3~7によってTFTが形成されている。このようなTFTアレイ基板は次の工程を経て製造されている。まず、基板1上にスパッタリング又は蒸着により透明導電膜層を形成してホトリソグラフィおよびエッティングにより所定パターンの画素電極2を形成し、次いで同基板1上にスパッタリングにより導電膜を形成して同様にホトリソグラフィとエッティングによりゲート電極3を形成する。次いで、ゲート絶縁膜4、アモルファスシリコン膜5の順にプラズマCVD法で連続形成し、その後、ゲート絶縁膜4とアモルファスシリコン膜5とをホトリソグラフィと異方性エッティングにより所定パターンに形成する。最後にアモルファスシリコン膜5の上にスパッタリングにより導電膜を形成し、ホトリソグラフィおよびエッティングにより不要の導電膜を除去してソース電極6およびドレイン電極7とを形成する。

【0003】 このようなTFTは、ゲート電極3およびソース電極6に電圧が印加されることによって作動するスイッチング素子として働き、ドレイン電極7を通して画素電極2に電荷を供給する。従って、画素電極2に電荷を供給させるためには、ゲート電極3、ソース電極6およびドレイン電極7が断線していないことが最低限必要であり、一方、このTFTアレイ基板を例えば液晶表示装置用に用いる場合には、一つの液晶表示装置内にある100万個程度のTFTが全て作動することが必要であり、電極の断線欠陥発生率を極めて低くすることが必要となる。

【0004】

【発明が解決しようとする課題】 従来のTFTは以上のように構成されており、同一パターンでゲート絶縁膜4

50

とアモルファスシリコン膜5を連続エッティングしている。そのため、反応性イオンエッティング法により異方性垂直エッティングした場合にはエッティング段差部の形状は急峻となり、その後に形成するソース電極及びドレイン電極がエッティング段差部でくびれ、断線を発生し易くなる問題があった。

【0005】 この発明は上記のような問題点を解消するためになされたもので、信頼性の高い電極を安定に形成することができるTFTアレイ基板の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 この発明に係るTFTアレイ基板の製造方法は、ゲート絶縁膜およびアモルファスシリコン膜をプラズマ状態の6 弗化イオウガス、3 弗化窒素ガス、あるいは弗化塩化炭素ガスと流量比10~38%の酸素ガスとによってエッティングするように構成したものである。

【0007】

【作用】 この発明による製造方法では、エッティング段差部のテーパー角を制御できるので被覆性に必要な最大のテーパー角にすることができる、この結果、テーパー形状にしたことによるパターン寸法の増加を必要最小限に抑えることができるとともにテーパー形状の上に形成する導電膜の断線を抑制することができる。

【0008】

【実施例】 以下、この発明の一実施例を図について説明する。図1は、この発明の一実施例を示すTFTの構成断面図である。ガラス基板1上にスパッタ法又は蒸着法等の薄膜形成法で得た酸化インジウム・スズ等の透明導電膜を形成した後に、パターン化処理を介して透明導電膜の不要部をエッティング除去し、画素電極2とする。次に、スパッタ法で得たクロム等の高融点金属でゲート電極3を形成する。この上に、プラズマCVD法によりシリコンナイトライドから成るゲート絶縁膜、アモルファスシリコン膜を順に積層した後、所望のパターンを形成し、プラズマエッティング法によりゲート絶縁膜とアモルファスシリコン膜とを連続エッティングし、テーパー形状のエッティング断面を得る。テーパーエッティングは、例えば6 弗化イオウガス(SF₆ガス)と酸素ガス(O₂ガス)の混合ガスを用いたプラズマ中に前記基板をさらすことにより行ない、通常プラズマ発生装置として平行平板型電極装置を用いる。最後に、スパッタ法でアルミ等からなるソース電極6およびドレイン電極7を形成する。

【0009】 図2は、このような製造方法で得たテーパー角とO₂ガス組成の関係を示すもので、O₂ガス組成が10%以下となると所定のパターン形状が得にくくなり、また、38%を越えるとテーパー角度が60度以上となってゲート絶縁膜4およびアモルファスシリコン膜5上に形成されるソース電極6およびドレイン電極7に断線

3

を発生し易いものとなっていた。

【0010】上記のように構成されたTFTアレイ基板においては、ゲート絶縁膜4及びアモルファスシリコン膜5を連続エッチングする工程において、テーパーエッティングを行なっているため、その後形成するソース電極6及びドレイン電極7の被覆性が良好となり、エッティング段差部でのくびれが生じず、ソース電極6及びドレイン電極7の断線数が著しく減少し、欠陥のないTFTアレイ基板を歩留まりよく形成することができる。また、O₂ガスの組成を調整することによってテーパー角度を制御できるため、テーパー化によるパターン寸法の増加を最小限に抑えることができ、画素電極2の有効面積を低下させることなく信頼性の高い電極を安定に得ることができる。

【0011】なお、上記実施例ではSF₆ガスとO₂ガスの混合ガスを用いたが、SF₆ガスの代わりに3弗化窒素ガス(NF₃ガス)あるいはCF₄、C₁F₂等の弗化塩化炭素ガスを用いても同様にテーパーエッティングを行なわせることができる。

【0012】

【発明の効果】以上のように、この発明によれば、ゲート絶縁膜とアモルファスシリコン膜とをプラズマ状態の

4

6 弗化イオウガス、3 弗化窒素ガスあるいは弗化塩化炭素ガスと酸素ガスの混合ガスによってエッティングするよう構成したため、エッティング断面での電極の被覆性がよくなり、断線の発生を抑制することが可能となるとともにテーパー角度を制御することによってパターン寸法の増加を最小限に抑えることができる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例である製造方法により形成されたTFTアレイ基板を示す断面図である。

【図2】この発明におけるテーパー角と酸素ガス組成との関係を示す特性図である。

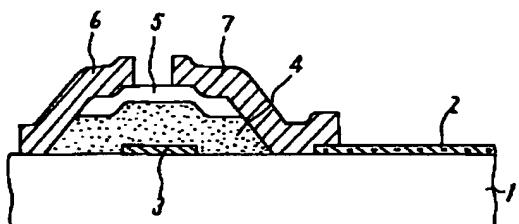
【図3】従来のTFTアレイ基板の構成を示す平面図である。

【図4】図3におけるIV-IV断面図である。

【符号の説明】

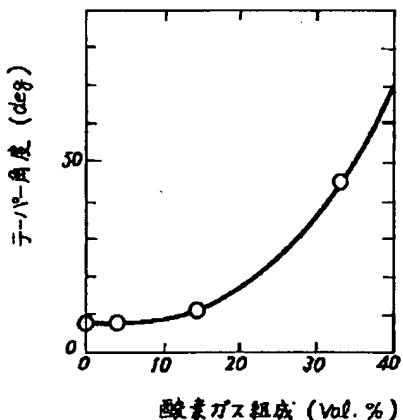
- | | |
|---|-------------|
| 1 | 絶縁基板 |
| 2 | 画素電極 |
| 3 | ゲート電極 |
| 4 | ゲート絶縁膜 |
| 5 | アモルファスシリコン膜 |
| 6 | ソース電極 |
| 7 | ドレイン電極 |

【図1】

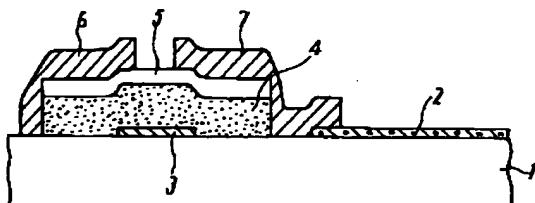


- 1: 基板
- 2: 画素電極
- 3: ゲート電極
- 4: ゲート絶縁膜
- 5: アモルファスシリコン膜
- 6: ソース電極
- 7: ドレイン電極

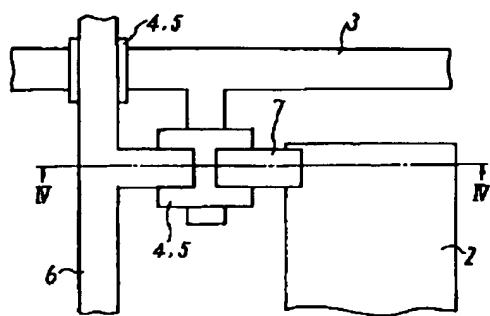
【図2】



【図4】



【図3】



フロントページの続き

(51) Int.Cl.⁵

識別記号 廈内整理番号

F I

技術表示箇所

H01L 29/784

(72)発明者 羽山 昌宏

尼崎市塚口本町8丁目1番1号 三菱電機

株式会社材料研究所内